

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 3月27日  
Date of Application:

出願番号                      特願2003-088221  
Application Number:  
[ST. 10/C]:                      [JP2003-088221]

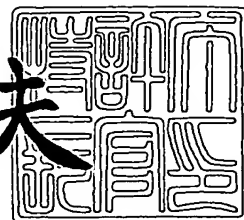
出願人                      セイコーエプソン株式会社  
Applicant(s):



2003年11月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 EP-0446201

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/822

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 今岡 紀夫

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

## 【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体チップ、半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、前記基本端子配列の同一位置に、同一機能を実現するための同一機能端子を含む半導体チップ。

【請求項 2】 請求項 1 記載の半導体チップにおいて、

それぞれの前記グループの前記同一機能端子は、相互に電氣的に接続されてなる半導体チップ。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体チップにおいて、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなる半導体チップ。

【請求項 4】 請求項 3 記載の半導体チップにおいて、

それぞれの前記グループの前記コンタクト端子は、相互に電氣的に接続されてなる半導体チップ。

【請求項 5】 請求項 3 又は請求項 4 記載の半導体チップにおいて、  
前記コンタクト／ノンコンタクト端子群の端子数は、前記 A 個のグループの数  
と同じかそれ以上である半導体チップ。

【請求項 6】 請求項 3 から請求項 5 のいずれかに記載の半導体チップにお  
いて、

前記ノンコンタクト端子は、前記集積回路に電氣的に接続されない半導体チッ  
プ。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の半導体チップにお  
いて、

前記集積回路は、変換回路を含み、前記変換回路は、B（B は 2 以上の整数）  
個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め  
定められた同種類の出力信号群から少なくともその 1 つを選択する機能を有し、

前記 A 個のグループの端子は、前記変換入力部に電氣的に接続された C（C は  
2 以上の整数）個の変換端子を含み、

それぞれの前記変換端子は、前記 B 個の変換入力部の 1 つに電氣的に接続され

、  
それぞれの前記グループは、C／A 個の前記変換端子を、前記基本端子配列の  
同一位置に含む半導体チップ。

【請求項 8】 請求項 7 記載の半導体チップにおいて、

それぞれの前記グループの前記 C／A 個の変換端子は、相互に電氣的に接続さ  
れた D（D は自然数）個の第 1 の変換端子を含み、

それぞれの前記グループは、前記第 1 の変換端子を、前記基本端子配列の同一  
位置に含む半導体チップ。

【請求項 9】 請求項 8 記載の半導体チップにおいて、

前記 B は、前記 A で割り切れない数であり、

前記 D は、B を A で割ったときの余りの数である半導体チップ。

【請求項 10】 請求項 7 から請求項 9 のいずれかに記載の半導体チップに  
おいて、

それぞれの前記グループの前記 C／A 個の変換端子は、他のいずれの前記変換

端子とも電氣的に接続されない第 2 の変換端子を含み、

それぞれの前記グループは、前記第 2 の変換端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 1 1】 請求項 1 から請求項 1 0 のいずれかに記載の半導体チップにおいて、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するための E (E は 2 以上の整数) 個の素子アレイ入力部と、を有し、

前記 A 個のグループの端子は、前記素子アレイ入力部に電氣的に接続された F (F は 2 以上の整数) 個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$  個の前記素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 1 2】 請求項 1 1 記載の半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、相互に電氣的に接続された G (G は自然数) 個の第 1 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 1 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 1 3】 請求項 1 2 記載の半導体チップにおいて、

前記 E は、前記 A で割り切れない数であり、

前記 G は、E を A で割ったときの余りの数である半導体チップ。

【請求項 1 4】 請求項 1 1 から請求項 1 3 のいずれかに記載の半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第 2 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 2 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 1 5】 半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (A は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなる半導体チップ。

【請求項16】 請求項15記載の半導体チップにおいて、

それぞれの前記グループの前記コンタクト端子は、相互に電氣的に接続されてなる半導体チップ。

【請求項17】 請求項15又は請求項16記載の半導体チップにおいて、

前記コンタクト／ノンコンタクト端子群の端子数は、前記A個のグループの数と同じかそれ以上である半導体チップ。

【請求項18】 請求項15から請求項17のいずれかに記載の半導体チップにおいて、

前記ノンコンタクト端子は、前記集積回路に電氣的に接続されない半導体チップ。

【請求項19】 請求項15から請求項18のいずれかに記載の半導体チップにおいて、

前記集積回路は、変換回路を含み、前記変換回路は、B（Bは2以上の整数）個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC（Cは2以上の整数）個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され

、  
それぞれの前記グループは、 $C/A$ 個の前記変換端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項20】 請求項19記載の半導体チップにおいて、

それぞれの前記グループの前記 $C/A$ 個の変換端子は、相互に電氣的に接続されたD（Dは自然数）個の第1の変換端子を含み、

それぞれの前記グループは、前記第1の変換端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項21】 請求項20記載の半導体チップにおいて、

前記Bは、前記Aで割り切れない数であり、

前記Dは、BをAで割ったときの余りの数である半導体チップ。

【請求項22】 請求項19から請求項21のいずれかに記載の半導体チップにおいて、

それぞれの前記グループの前記 $C/A$ 個の変換端子は、他のいずれの前記変換端子とも電氣的に接続されない第2の変換端子を含み、

それぞれの前記グループは、前記第2の変換端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項23】 請求項15から請求項22のいずれかに記載の半導体チップにおいて、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するためのE（Eは2以上の整数）個の素子アレイ入力部と、を有し、

前記A個のグループの端子は、前記素子アレイ入力部に電氣的に接続されたF（Fは2以上の整数）個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$ 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項24】 請求項23記載の半導体チップにおいて、

それぞれの前記グループの前記 $F/A$ 個の素子アレイ端子は、相互に電氣的に



接続された  $G$  ( $G$  は自然数) 個の第 1 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 1 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 25】 請求項 24 記載の半導体チップにおいて、  
前記  $E$  は、前記  $A$  で割り切れない数であり、  
前記  $G$  は、 $E$  を  $A$  で割ったときの余りの数である半導体チップ。

【請求項 26】 請求項 23 から請求項 25 のいずれかに記載の半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第 2 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 2 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 27】 半導体基板と、  
前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、 $A$  ( $A$  は 2 以上の整数) 個のグループの端子と、  
前記半導体基板に形成された集積回路と、  
を有し、  
それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、  
前記  $A$  個のグループは、それぞれ、1 点を中心に回転移動した位置に配置されており、

前記集積回路は、変換回路を含み、前記変換回路は、 $B$  ( $B$  は 2 以上の整数) 個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその 1 つを選択する機能を有し、

前記  $A$  個のグループの端子は、前記変換入力部に電氣的に接続された  $C$  ( $C$  は 2 以上の整数) 個の変換端子を含み、

それぞれの前記変換端子は、前記  $B$  個の変換入力部の 1 つに電氣的に接続され、

それぞれの前記グループは、 $C/A$  個の前記変換端子を、前記基本端子配列の

同一位置に含む半導体チップ。

【請求項 2 8】 請求項 2 7 記載の半導体チップにおいて、  
それぞれの前記グループの前記  $C/A$  個の変換端子は、相互に電氣的に接続された  $D$  ( $D$  は自然数) 個の第 1 の変換端子を含み、  
それぞれの前記グループは、前記第 1 の変換端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 2 9】 請求項 2 8 記載の半導体チップにおいて、  
前記  $B$  は、前記  $A$  で割り切れない数であり、  
前記  $D$  は、 $B$  を  $A$  で割ったときの余りの数である半導体チップ。

【請求項 3 0】 請求項 2 7 から請求項 2 9 のいずれかに記載の半導体チップにおいて、  
それぞれの前記グループの前記  $C/A$  個の変換端子は、他のいずれの前記変換端子とも電氣的に接続されない第 2 の変換端子を含み、  
それぞれの前記グループは、前記第 2 の変換端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 3 1】 請求項 2 7 から請求項 3 0 のいずれかに記載の半導体チップにおいて、  
前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するための  $E$  ( $E$  は 2 以上の整数) 個の素子アレイ入力部と、を有し、

前記  $A$  個のグループの端子は、前記素子アレイ入力部に電氣的に接続された  $F$  ( $F$  は 2 以上の整数) 個の素子アレイ端子を含み、  
それぞれの前記グループは、 $F/A$  個の前記素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 3 2】 請求項 3 1 記載の半導体チップにおいて、  
それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、相互に電氣的に接続された  $G$  ( $G$  は自然数) 個の第 1 の素子アレイ端子を含み、  
それぞれの前記グループは、前記第 1 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 3 3】 請求項 3 2 記載の半導体チップにおいて、  
前記 E は、前記 A で割り切れない数であり、  
前記 G は、E を A で割ったときの余りの数である半導体チップ。

【請求項 3 4】 請求項 3 1 から請求項 3 3 のいずれかに記載の半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第 2 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 2 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 3 5】 半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(A は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、  
を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記 A 個のグループは、それぞれ、1 点を中心に回転移動した位置に配置されており、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するための E (E は 2 以上の整数) 個の素子アレイ入力部と、を有し、

前記 A 個のグループの端子は、前記素子アレイ入力部に電氣的に接続された F  
(F は 2 以上の整数) 個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$  個の前記素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 3 6】 請求項 3 5 記載の半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、相互に電氣的に接続された G (G は自然数) 個の第 1 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 1 の素子アレイ端子を、前記基本端子配列

の同一位置に含む半導体チップ。

【請求項 37】 請求項 36 記載の半導体チップにおいて、  
前記 E は、前記 A で割り切れない数であり、  
前記 G は、E を A で割ったときの余りの数である半導体チップ。

【請求項 38】 請求項 35 から請求項 37 のいずれかに記載の半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第 2 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 2 の素子アレイ端子を、前記基本端子配列の同一位置に含む半導体チップ。

【請求項 39】 請求項 1 から請求項 38 のいずれかに記載の半導体チップにおいて、

隣同士の前記グループは、 $360/A^\circ$  の角度で回転した位置に配置されてなる半導体チップ。

【請求項 40】 請求項 1 から請求項 39 のいずれかに記載の半導体チップにおいて、

前記半導体基板を貫通する複数の貫通電極をさらに有し、前記貫通電極は、前記 A 個のグループの端子に電氣的に接続されてなる半導体チップ。

【請求項 41】 スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (A は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記 A 個のグループは、それぞれ、1 点を中心に回転移動した位置に配置され

ており、

それぞれの前記グループは、前記基本端子配列の同一位置に、同一機能を実現するための同一機能端子を含み、

前記複数の半導体チップは、前記 1 点が一致し、上下の前記 A 個のグループの端子が重なるように配置され、重なった前記端子が電氣的に接続されてなる半導体装置。

【請求項 4 2】 スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (A は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記 A 個のグループは、それぞれ、1 点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなり、

前記複数の半導体チップを、前記 1 点が一一致し、相互に異なる角度で前記 1 点を中心に回転移動した位置であって、前記コンタクト端子の位置が前記基本端子配列において異なるグループ同士が重なる位置に配置され、重なった前記端子が電氣的に接続されてなる半導体装置。

【請求項 4 3】 スタックされた、少なくとも設計上同一構造を有する複数

の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(Aは2以上の整数)個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、変換回路を含み、前記変換回路は、B (Bは2以上の整数)個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC (Cは2以上の整数)個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され

、

それぞれの前記グループは、 $C/A$ 個の前記変換端子を、前記基本端子配列の同一位置に含み、

前記複数の半導体チップは、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置され、重なった前記端子が電氣的に接続されてなる半導体装置。

【請求項44】 スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(Aは2以上の整数)個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するためのE（Eは2以上の整数）個の素子アレイ入力部と、を有し、

前記A個のグループの端子は、前記素子アレイ入力部に電氣的に接続されたF（Fは2以上の整数）個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$ 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含み、

前記複数の半導体チップは、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置され、重なった前記端子が電氣的に接続されてなる半導体装置。

【請求項 4 5】 請求項 1 から請求項 4 0 のいずれかに記載の半導体チップが実装されてなる回路基板。

【請求項 4 6】 請求項 4 1 から請求項 4 4 のいずれかに記載の半導体装置が実装されてなる回路基板。

【請求項 4 7】 請求項 1 から請求項 4 0 のいずれかに記載の半導体チップを有する電子機器。

【請求項 4 8】 請求項 4 1 から請求項 4 4 のいずれかに記載の半導体装置を有する電子機器。

【請求項 4 9】 少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A

(Aは2以上の整数) 個のグループの端子と、  
前記半導体基板に形成された集積回路と、  
を有し、  
それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、前記基本端子配列の同一位置に、同一機能を実現するための同一機能端子を含み、

前記位置合わせでは、前記複数の半導体チップを、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置する半導体装置の製造方法。

【請求項50】 少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなり、



前記位置合わせでは、前記複数の半導体チップを、前記 1 点が一致し、相互に異なる角度で前記 1 点を中心に回転移動した位置であって、前記コンタクト端子の位置が前記基本端子配列において異なるグループ同士が重なる位置に配置する半導体装置の製造方法。

【請求項 5 1】 少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (A は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記 A 個のグループは、それぞれ、1 点を中心に回転移動した位置に配置されており、

前記集積回路は、変換回路を含み、前記変換回路は、B (B は 2 以上の整数) 個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその 1 つを選択する機能を有し、

前記 A 個のグループの端子は、前記変換入力部に電氣的に接続された C (C は 2 以上の整数) 個の変換端子を含み、

それぞれの前記変換端子は、前記 B 個の変換入力部の 1 つに電氣的に接続され、

それぞれの前記グループは、 $C/A$  個の前記変換端子を、前記基本端子配列の同一位置に含み、

前記位置合わせでは、前記複数の半導体チップを、前記 1 点が一一致し、上下の前記 A 個のグループの端子が重なるように配置する半導体装置の製造方法。

【請求項 5 2】 少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(Aは2以上の整数)個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するためのE(Eは2以上の整数)個の素子アレイ入力部と、を有し、

前記A個のグループの端子は、前記素子アレイ入力部に電氣的に接続されたF  
(Fは2以上の整数)個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$ 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含み、

前記位置合わせでは、前記複数の半導体チップを、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置する半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体チップ、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

##### 【0002】

#### 【従来の技術】

##### 【0003】

#### 【特許文献1】

特開2001-53243号公報

## 【0004】

## 【発明の背景】

貫通電極を有する複数の半導体チップがスタックされてなる半導体装置が知られている。このようなスタックタイプの半導体装置を製造するために、複数の同じ半導体チップを使用すると、スタックされた半導体チップの同じ位置にある端子が電氣的に接続される。例えば、チップセレクト端子同士が相互に電氣的に導通してしまう。したがって、チップセレクト端子の位置が異なる複数の半導体チップをスタックする必要がある、同一の半導体チップをスタックすることは、従来できなかった。

## 【0005】

本発明の目的は、同一の半導体チップをスタックできるようにすることにある。

## 【0006】

## 【課題を解決するための手段】

- (1) 本発明に係る半導体チップは、半導体基板と、  
前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(Aは2以上の整数)個のグループの端子と、  
前記半導体基板に形成された集積回路と、  
を有し、  
それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、  
前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、  
それぞれの前記グループは、前記基本端子配列の同一位置に、同一機能を実現するための同一機能端子を含む。本発明によれば、同一の半導体チップをスタックすることができる。
- (2) この半導体チップにおいて、  
それぞれの前記グループの前記同一機能端子は、相互に電氣的に接続されていてもよい。

(3) この半導体チップにおいて、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されていてもよい。

(4) この半導体チップにおいて、

それぞれの前記グループの前記コンタクト端子は、相互に電氣的に接続されていてもよい。

(5) この半導体チップにおいて、

前記コンタクト／ノンコンタクト端子群の端子数は、前記A個のグループの数と同じかそれ以上であってもよい。

(6) この半導体チップにおいて、

前記ノンコンタクト端子は、前記集積回路に電氣的に接続されていなくてもよい。

(7) この半導体チップにおいて、

前記集積回路は、変換回路を含み、前記変換回路は、B (Bは2以上の整数) 個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC (Cは2以上の整数) 個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され、

それぞれの前記グループは、C/A個の前記変換端子を、前記基本端子配列の同一位置に含んでもよい。

(8) この半導体チップにおいて、

それぞれの前記グループの前記C/A個の変換端子は、相互に電氣的に接続されたD (Dは自然数) 個の第1の変換端子を含み、

それぞれの前記グループは、前記第 1 の変換端子を、前記基本端子配列の同一位置に含んでもよい。

( 9 ) この半導体チップにおいて、

前記 B は、前記 A で割り切れない数であり、

前記 D は、B を A で割ったときの余りの数であってもよい。

( 1 0 ) この半導体チップにおいて、

それぞれの前記グループの前記 C / A 個の変換端子は、他のいずれの前記変換端子とも電氣的に接続されない第 2 の変換端子を含み、

それぞれの前記グループは、前記第 2 の変換端子を、前記基本端子配列の同一位置に含んでもよい。

( 1 1 ) この半導体チップにおいて、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するための E ( E は 2 以上の整数 ) 個の素子アレイ入力部と、を有し、

前記 A 個のグループの端子は、前記素子アレイ入力部に電氣的に接続された F ( F は 2 以上の整数 ) 個の素子アレイ端子を含み、

それぞれの前記グループは、F / A 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

( 1 2 ) この半導体チップにおいて、

それぞれの前記グループの前記 F / A 個の素子アレイ端子は、相互に電氣的に接続された G ( G は自然数 ) 個の第 1 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 1 の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

( 1 3 ) この半導体チップにおいて、

前記 E は、前記 A で割り切れない数であり、

前記 G は、E を A で割ったときの余りの数であってもよい。

( 1 4 ) この半導体チップにおいて、

それぞれの前記グループの前記 F / A 個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第 2 の素子アレイ端子を含み、

それぞれの前記グループは、前記第2の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(15) 本発明に係る半導体チップは、半導体基板と、  
前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A  
(Aは2以上の整数)個のグループの端子と、  
前記半導体基板に形成された集積回路と、  
を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなる。本発明によれば、同一の半導体チップをスタックすることができる。

(16) この半導体チップにおいて、

それぞれの前記グループの前記コンタクト端子は、相互に電氣的に接続されていてもよい。

(17) この半導体チップにおいて、

前記コンタクト／ノンコンタクト端子群の端子数は、前記A個のグループの数と同じかそれ以上であってもよい。

(18) この半導体チップにおいて、

前記ノンコンタクト端子は、前記集積回路に電氣的に接続されていなくてもよい。

(19) この半導体チップにおいて、

前記集積回路は、変換回路を含み、前記変換回路は、B (Bは2以上の整数)

個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC（Cは2以上の整数）個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され

、  
それぞれの前記グループは、 $C/A$ 個の前記変換端子を、前記基本端子配列の同一位置に含んでもよい。

（20）この半導体チップにおいて、

それぞれの前記グループの前記 $C/A$ 個の変換端子は、相互に電氣的に接続されたD（Dは自然数）個の第1の変換端子を含み、

それぞれの前記グループは、前記第1の変換端子を、前記基本端子配列の同一位置に含んでもよい。

（21）この半導体チップにおいて、

前記Bは、前記Aで割り切れない数であり、

前記Dは、BをAで割ったときの余りの数であってもよい。

（22）この半導体チップにおいて、

それぞれの前記グループの前記 $C/A$ 個の変換端子は、他のいずれの前記変換端子とも電氣的に接続されない第2の変換端子を含み、

それぞれの前記グループは、前記第2の変換端子を、前記基本端子配列の同一位置に含んでもよい。

（23）この半導体チップにおいて、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するためのE（Eは2以上の整数）個の素子アレイ入力部と、を有し、

前記A個のグループの端子は、前記素子アレイ入力部に電氣的に接続されたF（Fは2以上の整数）個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$ 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(24) この半導体チップにおいて、

それぞれの前記グループの前記F/A個の素子アレイ端子は、相互に電氣的に接続されたG (Gは自然数) 個の第1の素子アレイ端子を含み、

それぞれの前記グループは、前記第1の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(25) この半導体チップにおいて、

前記Eは、前記Aで割り切れない数であり、

前記Gは、EをAで割ったときの余りの数であってもよい。

(26) この半導体チップにおいて、

それぞれの前記グループの前記F/A個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第2の素子アレイ端子を含み、

それぞれの前記グループは、前記第2の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(27) 本発明に係る半導体チップは、半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、変換回路を含み、前記変換回路は、B (Bは2以上の整数) 個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC (Cは2以上の整数) 個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され

、



それぞれの前記グループは、 $C/A$  個の前記変換端子を、前記基本端子配列の同一位置に含む。本発明によれば、同一の半導体チップをスタックすることができる。

(28) この半導体チップにおいて、

それぞれの前記グループの前記  $C/A$  個の変換端子は、相互に電氣的に接続された  $D$  ( $D$  は自然数) 個の第 1 の変換端子を含み、

それぞれの前記グループは、前記第 1 の変換端子を、前記基本端子配列の同一位置に含んでもよい。

(29) この半導体チップにおいて、

前記  $B$  は、前記  $A$  で割り切れない数であり、

前記  $D$  は、 $B$  を  $A$  で割ったときの余りの数であってもよい。

(30) この半導体チップにおいて、

それぞれの前記グループの前記  $C/A$  個の変換端子は、他のいずれの前記変換端子とも電氣的に接続されない第 2 の変換端子を含み、

それぞれの前記グループは、前記第 2 の変換端子を、前記基本端子配列の同一位置に含んでもよい。

(31) この半導体チップにおいて、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するための  $E$  ( $E$  は 2 以上の整数) 個の素子アレイ入力部と、を有し、

前記  $A$  個のグループの端子は、前記素子アレイ入力部に電氣的に接続された  $F$  ( $F$  は 2 以上の整数) 個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$  個の前記素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(32) この半導体チップにおいて、

それぞれの前記グループの前記  $F/A$  個の素子アレイ端子は、相互に電氣的に接続された  $G$  ( $G$  は自然数) 個の第 1 の素子アレイ端子を含み、

それぞれの前記グループは、前記第 1 の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(33) この半導体チップにおいて、

前記Eは、前記Aで割り切れない数であり、

前記Gは、EをAで割ったときの余りの数であってもよい。

(34) この半導体チップにおいて、

それぞれの前記グループの前記 $F/A$ 個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第2の素子アレイ端子を含み、

それぞれの前記グループは、前記第2の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(35) 本発明に係る半導体チップは、半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するためのE (Eは2以上の整数) 個の素子アレイ入力部と、を有し、

前記A個のグループの端子は、前記素子アレイ入力部に電氣的に接続されたF (Fは2以上の整数) 個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$ 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含む。本発明によれば、同一の半導体チップをスタックすることができる。

(36) この半導体チップにおいて、

それぞれの前記グループの前記 $F/A$ 個の素子アレイ端子は、相互に電氣的に接続されたG (Gは自然数) 個の第1の素子アレイ端子を含み、

それぞれの前記グループは、前記第1の素子アレイ端子を、前記基本端子配列

の同一位置に含んでもよい。

(37) この半導体チップにおいて、

前記Eは、前記Aで割り切れない数であり、

前記Gは、EをAで割ったときの余りの数であってもよい。

(38) この半導体チップにおいて、

それぞれの前記グループの前記F/A個の素子アレイ端子は、他のいずれの前記素子アレイ端子とも電氣的に接続されない第2の素子アレイ端子を含み、

それぞれの前記グループは、前記第2の素子アレイ端子を、前記基本端子配列の同一位置に含んでもよい。

(39) この半導体チップにおいて、

隣同士の前記グループは、 $360/A^\circ$ の角度で回転した位置に配置されていてもよい。

(40) この半導体チップにおいて、

前記半導体基板を貫通する複数の貫通電極をさらに有し、前記貫通電極は、前記A個のグループの端子に電氣的に接続されていてもよい。

(41) 本発明に係る半導体装置は、スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、前記基本端子配列の同一位置に、同一機能を実現するための同一機能端子を含み、

前記複数の半導体チップは、前記 1 点が一致し、上下の前記 A 個のグループの端子が重なるように配置され、重なった前記端子が電氣的に接続されてなる。

(4 2) 本発明に係る半導体装置は、スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (A は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記 A 個のグループは、それぞれ、1 点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなり、

前記複数の半導体チップを、前記 1 点が一致し、相互に異なる角度で前記 1 点を中心に回転移動した位置であって、前記コンタクト端子の位置が前記基本端子配列において異なるグループ同士が重なる位置に配置され、重なった前記端子が電氣的に接続されてなる。

(4 3) 本発明に係る半導体装置は、スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A

(Aは2以上の整数) 個のグループの端子と、  
前記半導体基板に形成された集積回路と、  
を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、変換回路を含み、前記変換回路は、B (Bは2以上の整数) 個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC (Cは2以上の整数) 個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され

、  
それぞれの前記グループは、 $C/A$  個の前記変換端子を、前記基本端子配列の同一位置に含み、

前記複数の半導体チップは、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置され、重なった前記端子が電氣的に接続されてなる。

(44) 本発明に係る半導体装置は、スタックされた、少なくとも設計上同一構造を有する複数の半導体チップを有し、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、  
を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置され

ており、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するための  $E$  ( $E$  は 2 以上の整数) 個の素子アレイ入力部と、を有し、

前記  $A$  個のグループの端子は、前記素子アレイ入力部に電氣的に接続された  $F$  ( $F$  は 2 以上の整数) 個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$  個の前記素子アレイ端子を、前記基本端子配列の同一位置に含み、

前記複数の半導体チップは、前記 1 点が一致し、上下の前記  $A$  個のグループの端子が重なるように配置され、重なった前記端子が電氣的に接続されてなる。

(4 5) 本発明に係る回路基板は、上記半導体チップが実装されてなる。

(4 6) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(4 7) 本発明に係る電子機器は、上記半導体チップを有する。

(4 8) 本発明に係る電子機器は、上記半導体装置を有する。

(4 9) 本発明に係る半導体装置の製造方法は、少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、 $A$  ( $A$  は 2 以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記  $A$  個のグループは、それぞれ、1 点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、前記基本端子配列の同一位置に、同一機能を実現するための同一機能端子を含み、

前記位置合わせでは、前記複数の半導体チップを、前記 1 点が一致し、上下の

前記A個のグループの端子が重なるように配置する。本発明によれば、同一の半導体チップをスタックすることができる。

(50) 本発明に係る半導体装置の製造方法は、少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

それぞれの前記グループは、同一機能回路に電氣的に接続されたコンタクト端子と、前記同一機能回路に電氣的に接続されないノンコンタクト端子と、からなるコンタクト／ノンコンタクト端子群を、前記基本端子配列の同一位置群に含み、

前記コンタクト端子は、それぞれの前記グループごとに、前記基本端子配列の異なる位置に配置されてなり、

前記位置合わせでは、前記複数の半導体チップを、前記1点が一致し、相互に異なる角度で前記1点を中心に回転移動した位置であって、前記コンタクト端子の位置が前記基本端子配列において異なるグループ同士が重なる位置に配置する。本発明によれば、同一の半導体チップをスタックすることができる。

(51) 本発明に係る半導体装置の製造方法は、少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A

(Aは2以上の整数) 個のグループの端子と、  
前記半導体基板に形成された集積回路と、  
を有し、  
それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、

前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、変換回路を含み、前記変換回路は、B (Bは2以上の整数) 個の変換入力部を有し、前記変換入力部に入力された入力信号に対応して、予め定められた同種類の出力信号群から少なくともその1つを選択する機能を有し、

前記A個のグループの端子は、前記変換入力部に電氣的に接続されたC (Cは2以上の整数) 個の変換端子を含み、

それぞれの前記変換端子は、前記B個の変換入力部の1つに電氣的に接続され、

それぞれの前記グループは、 $C/A$  個の前記変換端子を、前記基本端子配列の同一位置に含み、

前記位置合わせでは、前記複数の半導体チップを、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置する。本発明によれば、同一の半導体チップをスタックすることができる。

(52) 本発明に係る半導体装置の製造方法は、少なくとも設計上同一構造を有する複数の半導体チップを位置合わせしてスタックすることを含み、

それぞれの前記半導体チップは、

半導体基板と、

前記半導体基板に形成され、それぞれのグループに複数の端子が含まれる、A (Aは2以上の整数) 個のグループの端子と、

前記半導体基板に形成された集積回路と、

を有し、

それぞれの前記グループの前記複数の端子は、予め決められた基本端子配列に従って並んでおり、



前記A個のグループは、それぞれ、1点を中心に回転移動した位置に配置されており、

前記集積回路は、同一機能を有する複数の素子からなる素子アレイと、それぞれがいずれかの前記素子に電氣的に接続するためのE（Eは2以上の整数）個の素子アレイ入力部と、を有し、

前記A個のグループの端子は、前記素子アレイ入力部に電氣的に接続されたF（Fは2以上の整数）個の素子アレイ端子を含み、

それぞれの前記グループは、 $F/A$ 個の前記素子アレイ端子を、前記基本端子配列の同一位置に含み、

前記位置合わせでは、前記複数の半導体チップを、前記1点が一致し、上下の前記A個のグループの端子が重なるように配置する。本発明によれば、同一の半導体チップをスタックすることができる。

#### 【0007】

##### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

#### 【0008】

##### （第1の実施の形態）

図1は、本発明に第1の実施の形態に係る半導体チップを説明する図である。半導体チップは、半導体基板10を有する。なお、図1では、半導体基板10の左上の角が欠けているが、これは、後述する回転位置を理解しやすくするためのものであり、実際の製品に適用する必要はない。

#### 【0009】

半導体基板10には集積回路12が形成されている。本実施の形態では、集積回路12は、SRAM（Static Random Access Memory）の機能を実現する回路を含む。本発明は、これ以外のメモリ（DRAM（Dynamic Random Access Memory）等のRAM（Random Access Memory）やROM（Read Only Memory））又は論理LSIの機能を実現する回路を有する半導体チップにも適用することができる。

#### 【0010】

半導体基板 10 には、A (A は 2 以上の整数) 個のグループの端子 20 が形成されている。図 1 に示す例では、4 個のグループ 21 ~ 24 の端子 20 が形成されている。グループ 21 ~ 24 のそれぞれに、複数 (例えば 10 個) の端子 20 が含まれる。

#### 【0011】

図 2 は、端子の配列を説明するための図である。グループ 21 ~ 24 のそれぞれの複数の端子 20 は、予め決められた基本端子配列 30 に従って並んでいる。図 2 に示す基本端子配列 30 は、基本端子 32 が一列に並んだ配列であるが、基本端子 32 は、複数列で並べてもよいし、複数行複数列で並べてもよいし、曲線に沿って基本端子 32 を並べてもよいし、それ以外の配列であってもよい。A (例えば A = 4) 個のグループ 21 ~ 24 は、それぞれ、1 点 34 を中心に回転移動した位置に配置されている。隣同士のグループの回転角度  $\alpha$  は、同一であってもよい。その場合、 $\alpha = 360 / A$  である。すなわち、隣同士のグループは、 $360 / A^\circ$  の角度で回転した位置に配置してもよい。本実施の形態に係る半導体チップは、ペリフェラル型であって、矩形の半導体基板 10 の各辺に沿って、グループ 21 ~ 24 のそれぞれの複数の端子 20 が配列されている。

#### 【0012】

グループ 21 ~ 24 のそれぞれは、基本端子配列 30 の同一位置に、同一機能を実現するための同一機能端子を含む。同一機能端子として、グループ 21 ~ 24 のそれぞれは、図 2 に示す基本端子配列 30 の 1 番の位置に、端子 Vdd を含む。端子 Vdd は、集積回路 12 に電源 (電圧 Vdd) を供給するという機能を実現するためのものである。グループ 21 ~ 24 のそれぞれの端子 Vdd は、例えば、保護回路を介して、集積回路 12 に電氣的に接続されている。A 個のグループ (例えば全てのグループ) の端子 Vdd は、相互に電氣的に接続されていてもよい。

#### 【0013】

同一機能端子として、グループ 21 ~ 24 のそれぞれは、図 2 に示す基本端子配列 30 の 10 番の位置に、端子 Vss を含む。端子 Vss は、集積回路 12 に電源 (電圧 Vss (例えば GND)) を供給するという機能を実現するためのものである。グループ 21 ~ 24 のそれぞれの端子 Vss は、例えば保護回路を介して、集

積回路 12 に電氣的に接続されている。A 個のグループ（例えば全てのグループ）の端子 V<sub>ss</sub> は、相互に電氣的に接続されていてもよい。

#### 【0014】

同一機能端子として、グループ 21～24 のそれぞれは、図 2 に示す基本端子配列 30 の 6 番の位置に、端子 OE を含む。端子 OE は、データ出力を可能にするという機能を実現するためのものである。A 個のグループ（例えば全てのグループ）の端子 OE が同じ回路に電氣的に接続されていてもよい。すなわち、グループ 21～24 のそれぞれの端子 OE は、例えばバッファ回路を介して、図 1 に示す同一機能回路（制御回路（例えば入出力制御回路又は読出／書込制御回路））40 に電氣的に接続されていてもよい。端子 OE には、出力イネーブル信号が入力される。A 個のグループ（例えば全てのグループ）の端子 OE は、相互に電氣的に接続されていてもよい。

#### 【0015】

同一機能端子として、グループ 21～24 のそれぞれは、図 2 に示す基本端子配列 30 の 7 番の位置に、端子 WE を含む。端子 WE は、データ書き込みを可能にするという機能を実現するためのものである。A 個のグループ（例えば全てのグループ）の端子 WE が同じ回路に電氣的に接続されていてもよい。すなわち、グループ 21～24 のそれぞれの端子 WE は、例えばバッファ回路を介して、図 1 に示す同一機能回路（制御回路（例えば入出力制御回路又は読出／書込制御回路））40 に電氣的に接続されていてもよい。端子 WE には、書込イネーブル信号が入力される。A 個のグループ（例えば全てのグループ）の端子 WE は、相互に電氣的に接続されていてもよい。端子 OE が電氣的に接続された同一機能回路 40 と、端子 WE が電氣的に接続された同一機能回路 40 と、は同じ回路であってもよい。

#### 【0016】

図 3 は、基本端子配列に対応するように配置し直した A グループの端子を示す図である。グループ 21～24 のそれぞれは、基本端子配列 30 の同一位置群（図 3 では 2～5 番の位置群）42 に、コンタクト／ノンコンタクト端子群 44（あるいは 45、46 又は 47）を含む。コンタクト／ノンコンタクト端子群 44

(あるいは45, 46又は47)は、図1に示すように同一機能回路40に電氣的に接続されたコンタクト端子CSa(あるいはCSb, CSc又はCSd)と、同一機能回路40に電氣的に接続されないノンコンタクト端子NCと、からなる。本実施の形態では、コンタクト端子CSa(あるいはCSb, CSc又はCSd)は、チップセレクト端子であって、チップセレクト信号が入力されない場合(非選択時)には、内部回路が遮断される。同一機能回路40は、チップセレクト回路を含んでもよい。

#### 【0017】

コンタクト端子CSa(あるいはCSb, CSc又はCSd)は、それぞれのグループ21~24ごとに、基本端子配列30の異なる位置に配置されている。例えば、第1のグループ21では基本端子配列30の2番の位置にコンタクト端子CSaが配置され、第2のグループ22では基本端子配列30の5番の位置にコンタクト端子CSdが配置され、第3のグループ23では基本端子配列30の4番の位置にコンタクト端子CScが配置され、第4のグループ24では基本端子配列30の3番の位置にコンタクト端子CSbが配置されている。

#### 【0018】

グループ21~24のそれぞれのコンタクト端子CSa(あるいはCSb, CSc又はCSd)は、図1に示すように、相互に電氣的に接続されていてもよい。コンタクト/ノンコンタクト端子群44(あるいは45, 46又は47)の端子数(図3に示す例では4)は、A個のグループの数と同じかそれ以上であってもよい。ノンコンタクト端子NCは、集積回路12に電氣的に接続されないようになっていてもよい。

#### 【0019】

図1に示すように、集積回路12は、変換回路(例えばデコーダ)50を含んでもよい。変換回路50は、B(Bは2以上の整数)個(図1では4個)の変換入力部52を有する。変換回路50は、変換入力部52に入力された入力信号(例えばアドレス信号)に対応して、予め定められた同種類の出力信号群(例えば内部アドレス信号)から少なくともその1つを選択する機能を有する。

#### 【0020】

A個のグループ21～24の端子20は、変換入力部52に電氣的に接続されたC（Cは2以上の整数）個（図1では4個）の変換端子Aa, Ab, Ac, Adを含んでもよい。変換端子Aa, Ab, Ac, Adのそれぞれは、B個の変換入力部52の1つに電氣的に接続されている。図3に示すように、グループ21～24のそれぞれは、 $C/A$ 個（例えば、 $4/4=1$ ）の変換端子Aa（あるいはAb, Ac又はAd）を、基本端子配列30の同一位置（図3では8番の位置）に含んでもよい。本実施の形態では、グループ21～24のそれぞれの $C/A$ 個（例えば1個）の変換端子Aa（あるいはAb, Ac又はAd）は、他のいずれの変換端子とも電氣的に接続されないようになっていてもよい。

#### 【0021】

図1に示すように、集積回路12は、同一機能を有する複数の素子（例えばメモリセル）からなる素子アレイ（例えばメモリセルアレイ）60を有していてもよい。集積回路12は、それぞれがいずれかの素子（例えばメモリセル）に電氣的に接続するためのE（Eは2以上の整数）個（図1では4個）の素子アレイ入力部62を有していてもよい。A個のグループ21～24の端子20は、素子アレイ入力部62に電氣的に接続されたF（Fは2以上の整数）個（図1では4個）の素子アレイ端子（例えばデータ端子）Da, Db, Dc, Ddを含んでもよい。図3に示すように、グループ21～24のそれぞれは、 $F/A$ 個（例えば、 $4/4=1$ ）の素子アレイ端子Da（あるいはDb, Dc又はDd）を、基本端子配列30の同一位置（図3では9番の位置）に含んでもよい。

#### 【0022】

図4は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体チップ70, 72, 74, 76を使用する。半導体チップ70, 72, 74, 76は、それぞれ、上述した半導体チップの内容を有する。また、半導体チップ70, 72, 74, 76は、少なくとも設計上同一構造を有する。半導体チップ70, 72, 74, 76の集積回路12は、少なくとも設計上同一であってもよい。半導体チップ70, 72, 74は、端子20に電氣的に接続された貫通電極26（図5参照）を有する。貫通電極26は、半導体基板10を貫通しており、その両面での電氣的接続が可能になっている。

端子 2 0 とは反対側において最も上にスタックされる半導体チップ 7 6 は、貫通電極 2 6 を有していなくてもよい。

#### 【 0 0 2 3 】

本実施の形態では、複数の半導体チップ 7 0, 7 2, 7 4, 7 6 を位置合わせしてスタックすることを含む。位置合わせでは、複数の半導体チップ 7 0, 7 2, 7 4, 7 6 を、1 点 3 4 が一致し、上下の A 個のグループ 2 1 ~ 2 4 の端子 2 0 が重なるように配置する。位置合わせでは、複数の半導体チップ 7 0, 7 2, 7 4, 7 6 を、相互に異なる角度で 1 点 3 4 を中心に回転移動した位置に配置する。図 3 に示す例では、半導体チップ 7 0 を基準として、9 0° 回転した位置に半導体チップ 7 2 を配置し、1 8 0° 回転した位置に半導体チップ 7 4 を配置し、2 7 0° 回転した位置に半導体チップ 7 6 を配置する。こうすることで、コンタクト端子 C S a (あるいは C S b, C S c 又は C S d) の位置が基本端子配列 3 0 において異なるグループ同士が重なる。図 3 に示す例では、半導体チップ 7 0 の第 1 のグループ 2 1 と、半導体チップ 7 2 の第 2 のグループ 2 2 と、半導体チップ 7 4 の第 3 のグループ 2 3 と、半導体チップ 7 6 の第 4 のグループ 2 4 と、が重なる。本実施の形態によれば、同一の半導体チップをスタックして半導体装置を得ることができる。

#### 【 0 0 2 4 】

図 5 は、本発明の第 1 の実施の形態に係る半導体装置を説明する図である。半導体装置は、上述した製造方法から導き出される構成を有する。上下の半導体チップの端子 2 0 と貫通電極 2 6 とが電氣的に接続（例えば接合）されている。上下の半導体チップ間には樹脂を設けてもよい。さらに、端子 2 0 側において最も下に位置する半導体チップ 7 0 には、樹脂層 8 0 が形成され、端子 2 0 上から樹脂層 8 0 上に配線層 8 2 が形成されている。配線層 8 2 上には、外部端子 8 4 が設けられている。外部端子 8 4 は、ろう材から形成してもよい。ろう材は、導電性を有する金属（例えば合金）であって、熔融させて電氣的な接続を図るためのものである。ろう材は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれであってもよい。ろう材として、鉛を含まないハンダ（以下、鉛フリーハンダという。）を使用してもよい。鉛フリーハンダとして、スズ

ー銀 (S n-A g) 系、スズービスマス (S n-B i) 系、スズー亜鉛 (S n-Z n) 系、あるいはスズー銅 (S n-C u) 系の合金を使用してもよいし、これらの合金に、さらに銀、ビスマス、亜鉛、銅のうち少なくとも 1 つを添加してもよい。

#### 【0025】

図 6 は、本発明の第 1 の実施の形態に係る半導体装置を説明する図である。図 6 には、スタックされた半導体チップ 70, 72, 74, 76 の重なった端子 20 が説明されている。丸数字 1 は、下から 1 段目の半導体チップ 70 の端子 20 を示し、丸数字 2 は、下から 2 段目の半導体チップ 72 の端子 20 を示し、丸数字 3 は、下から 3 段目の半導体チップ 74 の端子 20 を示し、丸数字 4 は、下から 4 段目の半導体チップ 76 の端子 20 を示している。

#### 【0026】

スタックされた半導体チップ 70, 72, 74, 76 において、それぞれのグループの端子 Vdd 同士、端子 OE 同士、端子 WE 同士、端子 Vss 同士が重なっている (電氣的に接続されている)。端子 Vdd, OE, WE, Vss は、いずれも同一機能端子である。

#### 【0027】

いずれか 1 つの半導体チップのコンタクト端子 CSa (あるいは CSb, CSc 又は CSd) は、残りの半導体チップのノンコンタクト端子 NC と重なっている (電氣的に接続されている)。すなわち、コンタクト端子 CSa (あるいは CSb, CSc 又は CSd) 同士が重ならない (電氣的に接続されない) ようになっている。

#### 【0028】

スタックされた半導体チップ 70, 72, 74, 76 において、異なる変換入力部 52 に電氣的に接続された変換端子 Aa, Ab, Ac, Ad が重なっている (電氣的に接続されている)。また、同じ変換入力部 52 に電氣的に接続された変換端子 Aa (あるいは Ab, Ac 又は Ad) 同士が重ならない (電氣的に接続されない) ようになっている。

#### 【0029】

スタックされた半導体チップ 7 0, 7 2, 7 4, 7 6 において、異なる素子アレイ入力部 6 2 に電氣的に接続された素子アレイ端子 Da, Db, Dc, Dd が重なっている（電氣的に接続されている）。また、同じ素子アレイ入力部 6 2 に電氣的に接続された素子アレイ端子 Da（あるいは Db, Dc 又は Dd）同士が重ならない（電氣的に接続されない）ようになっている。

#### 【 0 0 3 0 】

図 7 は、本発明の第 1 の実施の形態に係る半導体装置の動作を説明する図である。端子 V dd には、電圧 V dd が印加され、端子 V ss には、電圧 V ss が印加される。なお、本実施の形態では、半導体チップ 7 0, 7 2, 7 4, 7 6 のそれぞれにおいて、全ての端子 V dd 同士が電氣的に接続され、全ての端子 V ss 同士が電氣的に接続されている。したがって、いずれか 1 つの端子 V dd に電圧 V dd を印加し、いずれか 1 つの端子 V ss に電圧 V ss を印加する。

#### 【 0 0 3 1 】

デコーダ 9 0 には、この半導体装置を選択することを示す選択信号 C S と、半導体チップ 7 0, 7 2, 7 4, 7 6 から選択したその 1 つを示すアドレス信号 A 4, A 5 が入力され、チップセレクト信号 C S 0 ~ C S 3 が生成される。例えば、半導体チップ 7 0 を選択する場合、チップセレクト信号 C S 0 が、半導体チップ 7 0 のコンタクト端子 C S a に入力されて動作可能になる。このとき、チップセレクト信号 C S 0 は、残りの半導体チップ 7 2, 7 4, 7 6 のノンコンタクト端子 N C に入力されるので、これらの半導体チップは作動しない。

#### 【 0 0 3 2 】

データを書き込むときには、端子 W E に書込イネーブル信号 W E を入力する。なお、本実施の形態では、半導体チップ 7 0, 7 2, 7 4, 7 6 のそれぞれにおいて、全ての端子 W E 同士が電氣的に接続されている。したがって、いずれか 1 つの端子 W E に書込イネーブル信号 W E を入力する。

#### 【 0 0 3 3 】

そして、符号信号（例えばアドレス信号）A 0 ~ A 3 を、変換端子（例えばアドレス端子）A a, A b, A c, A d に入力する。符号信号 A 0 ~ A 3 は、変換回路 5 0（図 1 参照）によって、予め定められた同種類の出力信号群のうちの少なくとも



1つ（例えば1つ）の内部符号信号（例えば内部アドレス信号）に変換される。内部符号信号によって、素子アレイ（例えばメモリセルアレイ）60のうちの1グループが指定される。

#### 【0034】

本実施の形態では、半導体チップ70、72、74、76は、異なるグループ21～24（異なる変換端子Aa, Ab, Ac, Ad）が重なるように配置されている。例えば、1段目の半導体チップ70の変換端子Aa、2段目の半導体チップ72の変換端子Ad、3段目の半導体チップ74の変換端子Ac、4段目の半導体チップ76の変換端子Abが重なっている。

#### 【0035】

例えば、半導体チップ70が選択された場合には、符号信号A0, A1, A2, A3は、それぞれ、半導体チップ70の変換端子Aa, Ab, Ac, Adに入力されるが、半導体チップ72が選択された場合には、符号信号A0, A1, A2, A3は、それぞれ、半導体チップ72の変換端子Ad, Aa, Ab, Acに入力される。すなわち、半導体チップ70に入力される符号信号A0, A1, A2, A3は、半導体チップ72には、符号信号A1, A2, A3, A0として入力される。このように、選択された半導体チップによって、異なる符号信号が入力されることになる。そして、変換回路50によって変換された内部符号信号も、選択された半導体チップによって異なるが、内部符号信号は、予め定められた同種類の出力信号群のうちの少なくとも1つ（例えば1つ）であるから、出力信号が同種類であるため、動作としては正常である。例えば、メモリの場合、異なるメモリセルの番地が指定されるに過ぎない。

#### 【0036】

そして、データ信号D0～D3を、素子アレイ端子（例えばデータ端子）Da, Db, Dc, Ddに入力する。データ信号D0～D3は、図1に示す素子アレイ（例えばメモリセルアレイ）60に入力される。例えば、素子アレイ60のうち、1グループの素子にデータ信号D0～D3を入力する。このグループは、上述した内部符号信号によって指定される。また、選択された半導体チップによって、異なるグループの素子が指定されるが、素子アレイ60を構成する素子は、同一機能

を有するので正常な動作がなされる。

#### 【0037】

本実施の形態では、半導体チップ70、72、74、76は、異なるグループ21～24（異なる素子アレイ端子Da、Db、Dc、Dd）が重なるように配置されている。例えば、1段目の半導体チップ70の素子アレイ端子Da、2段目の半導体チップ72の素子アレイ端子Dd、3段目の半導体チップ74の素子アレイ端子Dc、4段目の半導体チップ76の素子アレイ端子Dbが重なっている。

#### 【0038】

例えば、半導体チップ70が選択された場合には、データ信号D0、D1、D2、D3は、それぞれ、半導体チップ70の素子アレイ端子Da、Db、Dc、Ddに入力されるが、半導体チップ72が選択された場合には、データ信号D0、D1、D2、D3は、それぞれ、半導体チップ72の素子アレイ端子Dd、Da、Db、Dcに入力される。すなわち、半導体チップ70に入力されるデータ信号D0、D1、D2、D3は、半導体チップ72には、データ信号D1、D2、D3、D0として入力される。このように、選択された半導体チップによって、異なるデータ信号が入力されることになる。

#### 【0039】

データを読み出すときには、端子OEに出力イネーブル信号OEを入力する。なお、本実施の形態では、半導体チップ70、72、74、76のそれぞれにおいて、全ての端子OE同士が電氣的に接続されている。したがって、いずれか1つの端子OEに出力イネーブル信号OEを入力する。符号信号A0～A3の入力及びデータ信号D0～D3の出力については、上述したデータの書き込み時の説明から導き出すことができるため説明を省略する。

#### 【0040】

（第2の実施の形態）

図8は、本発明を適用した第2の実施の形態に係る半導体チップを説明する図である。図9は、基本端子配列に対応するように配置し直したAグループの端子を説明する図である。

#### 【0041】

集積回路 100 は、変換回路 110 を含む。変換回路 110 は、B (B は 2 以上の整数) 個 (例えば 5 個) の変換入力部 112 を有する。B (例えば 5) は、A (端子のグループ数) で割り切れない数である。

#### 【0042】

A 個 (例えば 4 個) のグループ 121 ~ 124 の端子 120 は、変換入力部 112 に電氣的に接続された C (C は 2 以上の整数) 個 (例えば 8 個) の変換端子 Aa ~ Ae を含む。それぞれの変換端子 Aa ~ Ae は、B 個 (例えば 5 個) の変換入力部 112 の 1 つに電氣的に接続されている。それぞれのグループ 121 ~ 124 は、 $C/A$  (例えば  $8/4 = 2$ ) 個の変換端子 Aa ~ Ae を、基本端子配列の同一位置に含む (図 9 参照)。

#### 【0043】

それぞれのグループ 121 ~ 124 は、相互に電氣的に接続された D (D は自然数) 個 (例えば 1 個) の第 1 の変換端子 Ae を含む (図 8 参照)。それぞれのグループ 121 ~ 124 は、第 1 の変換端子 Ae を、基本端子配列の同一位置に含む (図 9 参照)。D (例えば 1) は、B (例えば 5) を A (例えば 4) で割ったときの余りの数である。それぞれのグループ 121 ~ 124 は、他のいずれの変換端子 Aa ~ Ae とともに電氣的に接続されない第 2 の変換端子 Aa (あるいは、Ab, Ac 又は Ad) を含む (図 8 参照)。それぞれのグループ 121 ~ 124 は、第 2 の変換端子 Aa (あるいは、Ab, Ac 又は Ad) を、基本端子配列の同一位置に含む (図 9 参照)。

#### 【0044】

集積回路 100 は、同一機能を有する複数の素子からなる素子アレイ 160 を有する。集積回路 100 は、それぞれがいずれかの素子に電氣的に接続するための E (E は 2 以上の整数) 個 (例えば 5 個) の素子アレイ入力部 162 を有する。E (例えば 5) は、A (例えば 4) で割り切れない数である。

#### 【0045】

A 個 (例えば 4 個) のグループ 121 ~ 124 の端子 120 は、素子アレイ入力部 162 に電氣的に接続された F (F は 2 以上の整数) 個 (例えば 8 個) の素子アレイ端子 Da ~ De を含む。それぞれのグループ 121 ~ 124 は、 $F/A$  (

例えば  $8 / 4 = 2$  ) 個の素子アレイ端子 Da ~ De を、基本端子配列の同一位置に含む (図 9 参照)。

#### 【0046】

それぞれのグループ 121 ~ 124 は、相互に電氣的に接続された G (G は自然数) 個 (例えば 1 個) の第 1 の素子アレイ端子 De を含む (図 8 参照)。それぞれのグループ 121 ~ 124 は、第 1 の素子アレイ端子 De を、基本端子配列の同一位置に含む。G (例えば 1) は、E (例えば 5) を A (例えば 4 で割ったときの余りの数である)。

#### 【0047】

それぞれのグループ 121 ~ 124 は、他のいずれの素子アレイ端子 Da ~ De とともに電氣的に接続されない第 2 の素子アレイ端子 Da (あるいは、Db, Dc 又は Dd) を含む (図 8 参照)。それぞれのグループ 121 ~ 124 は、第 2 の素子アレイ端子 Da (あるいは、Db, Dc 又は Dd) を、基本端子配列の同一位置に含む (図 9 参照)。

#### 【0048】

本実施の形態についてその他の内容は、第 1 の実施の形態で説明した内容が該当する。本実施の形態でも第 1 の実施の形態で説明した効果を達成することができる。

#### 【0049】

(第 3 の実施の形態)

図 10 は、本発明を適用した第 3 の実施の形態に係る半導体チップを説明する図である。本実施の形態では、基本端子配列 200 が、図 2 に示す基本端子配列 30 と異なる。すなわち、基本端子配列 200 では、複数の基本端子 202 が複数行複数列で並べられている。それぞれのグループ 221 ~ 224 の複数の端子 220 は、この基本端子配列 200 に従って並んでいる。そして、グループ 221 ~ 224 は、それぞれ、1 点 234 を中心に回転移動した位置に配置されている。

#### 【0050】

本実施の形態についてその他の内容は、第 1 又は第 2 の実施の形態で説明した

内容が該当する。本実施の形態でも第 1 の実施の形態で説明した効果を達成することができる。

#### 【0051】

図 11 には、上述した実施の形態で説明した半導体装置 1（あるいは半導体チップ）が実装された回路基板 1000 が示されている。この半導体装置（あるいは半導体チップ）を有する電子機器として、図 12 にはノート型パーソナルコンピュータ 2000 が示され、図 13 には携帯電話 3000 が示されている。

#### 【0052】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

#### 【図面の簡単な説明】

【図 1】 図 1 は、本発明の第 1 の実施の形態に係る半導体チップを説明する図である。

【図 2】 図 2 は、本発明の第 1 の実施の形態に係る半導体チップを説明する図である。

【図 3】 図 3 は、本発明の第 1 の実施の形態に係る半導体チップを説明する図である。

【図 4】 図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】 図 5 は、本発明の第 1 の実施の形態に係る半導体装置を説明する図である。

【図 6】 図 6 は、本発明の第 1 の実施の形態に係る半導体装置を説明する図である。

【図 7】 図 7 は、本発明の第 1 の実施の形態に係る半導体装置の動作を説

明する図である。

【図 8】 図 8 は、本発明の第 2 の実施の形態に係る半導体チップを説明する図である。

【図 9】 図 9 は、本発明の第 2 の実施の形態に係る半導体チップを説明する図である。

【図 10】 図 10 は、本発明の第 3 の実施の形態に係る半導体チップを説明する図である。

【図 11】 図 11 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 12】 図 12 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

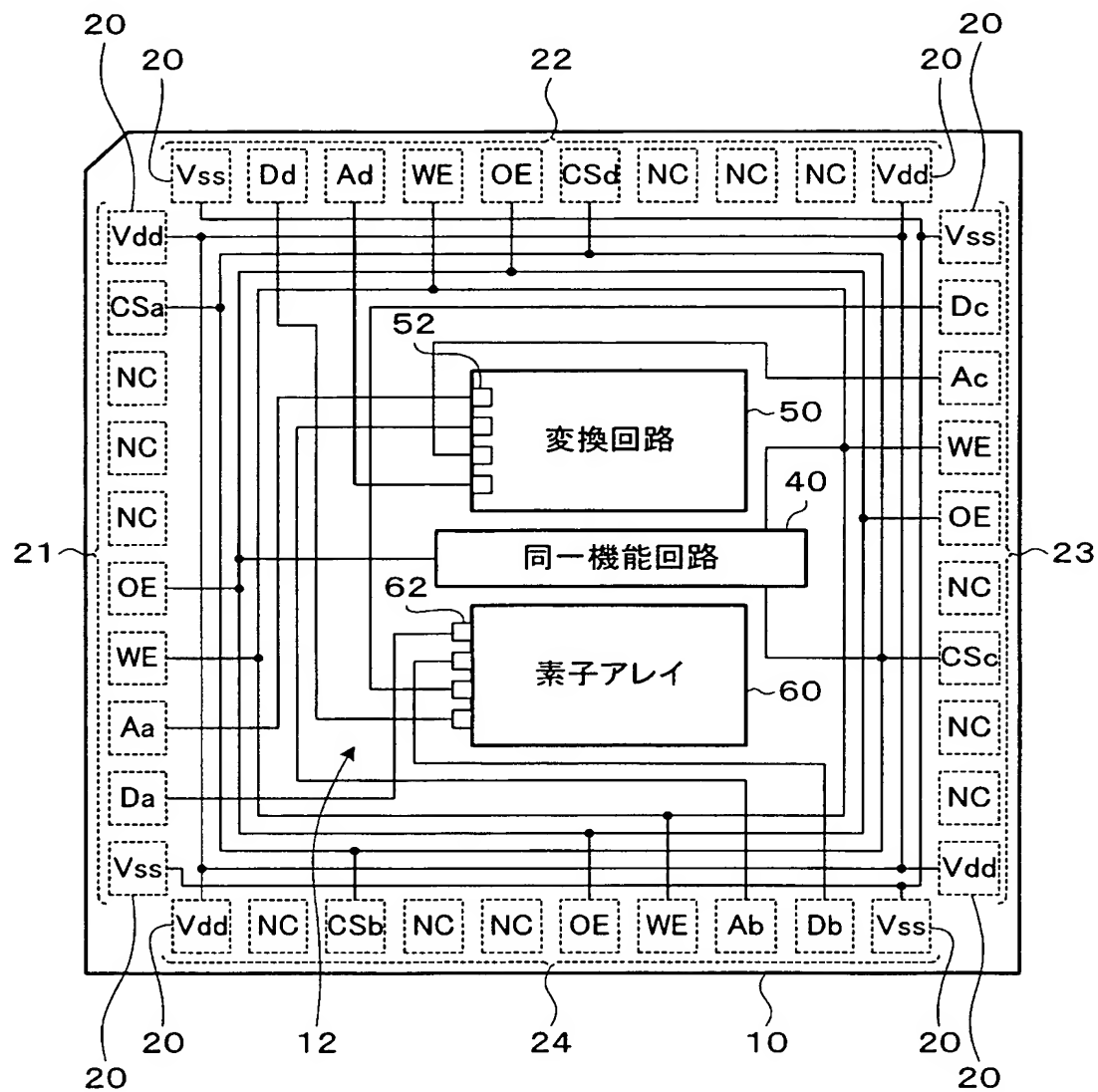
【図 13】 図 13 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【符号の説明】

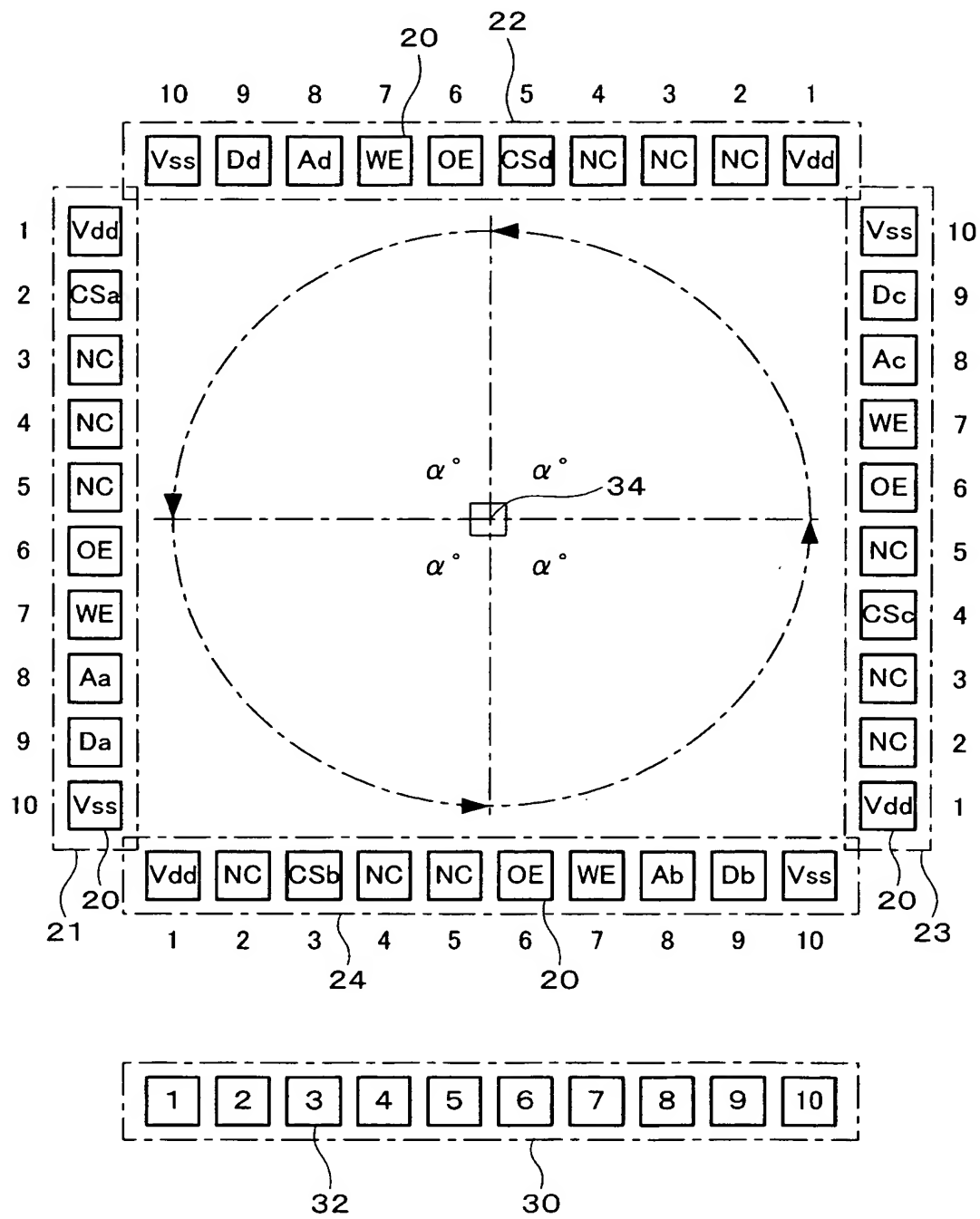
10…半導体基板 12…集積回路 20…端子 21…第 1 のグループ 22…第 2 のグループ 23…第 3 のグループ 24…第 4 のグループ 26…貫通電極 30…基本端子配列 32…基本端子 34…点 40…同一機能回路 50…変換回路 52…変換入力部 60…素子アレイ 62…素子アレイ入力部 70…半導体チップ 72…半導体チップ 74…半導体チップ 76…半導体チップ 80…樹脂層 82…配線層 84…外部端子 90…デコーダ 100…集積回路 110…変換回路 112…変換入力部 120…端子 160…素子アレイ 162…素子アレイ入力部 200…基本端子配列 202…基本端子 220…端子

【書類名】 図面

【図 1】

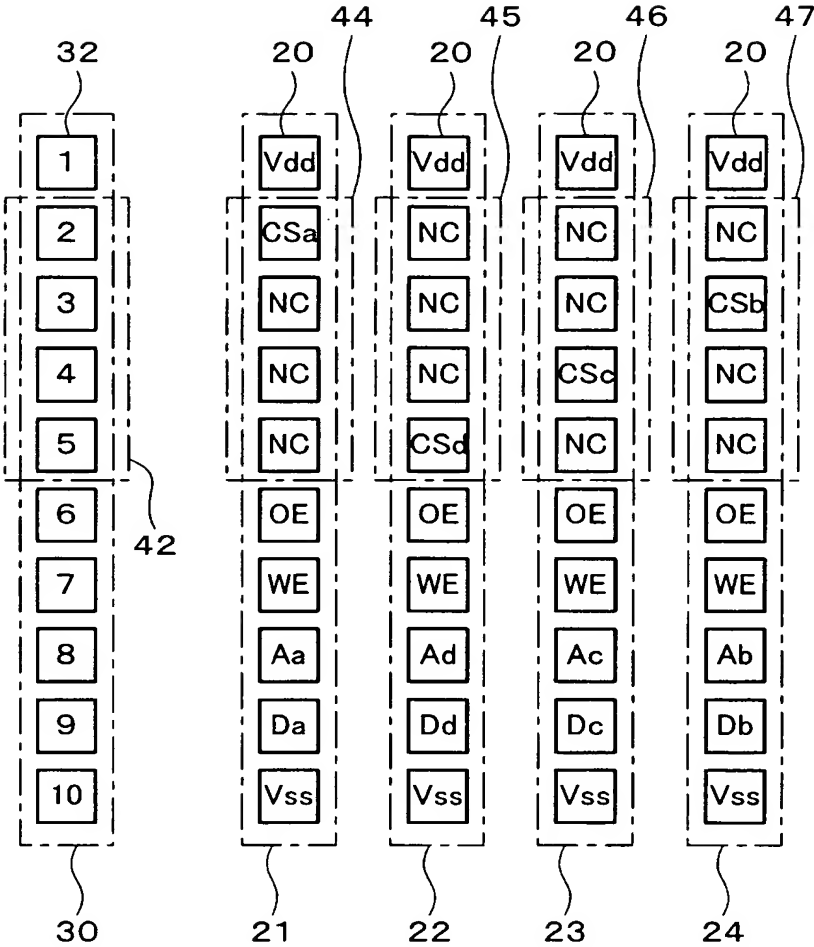


【図 2】

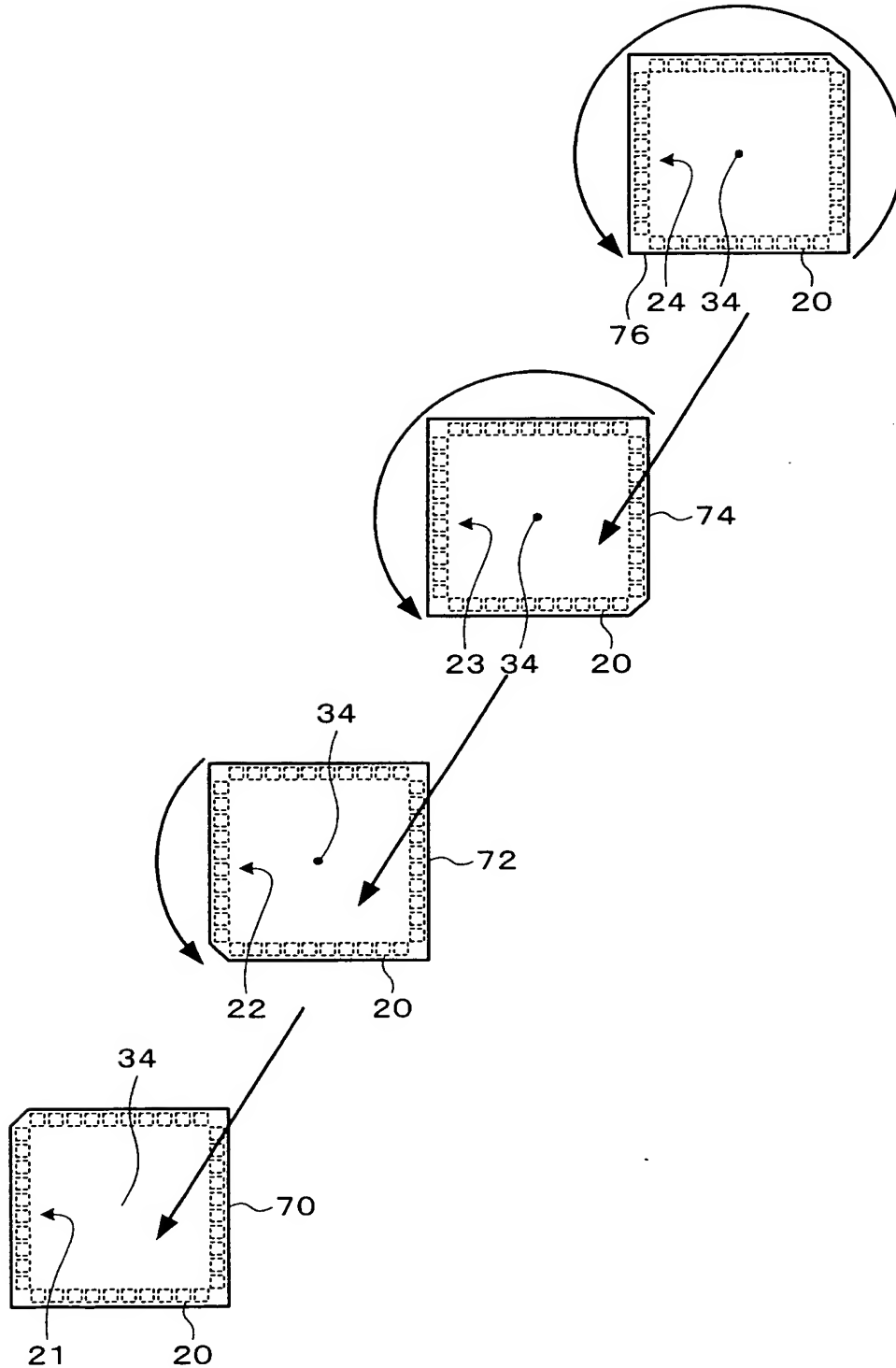




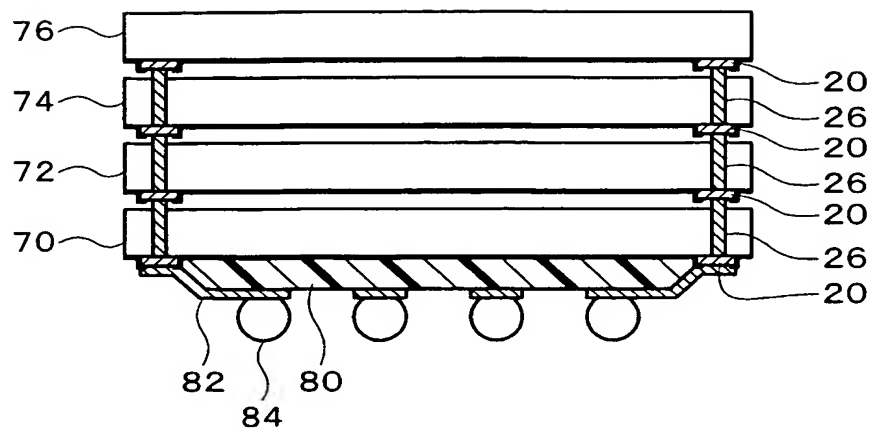
【図 3】



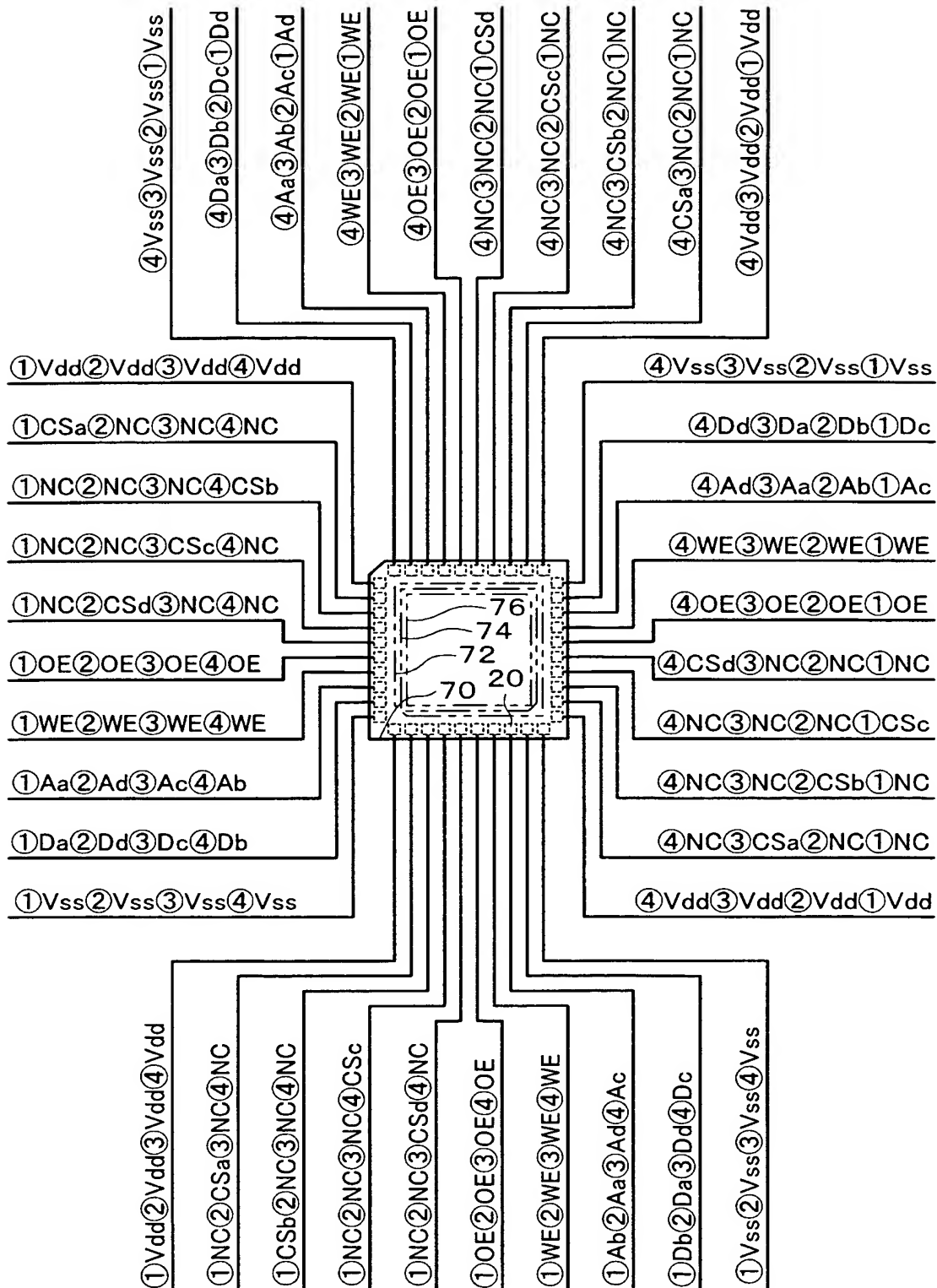
【図 4】



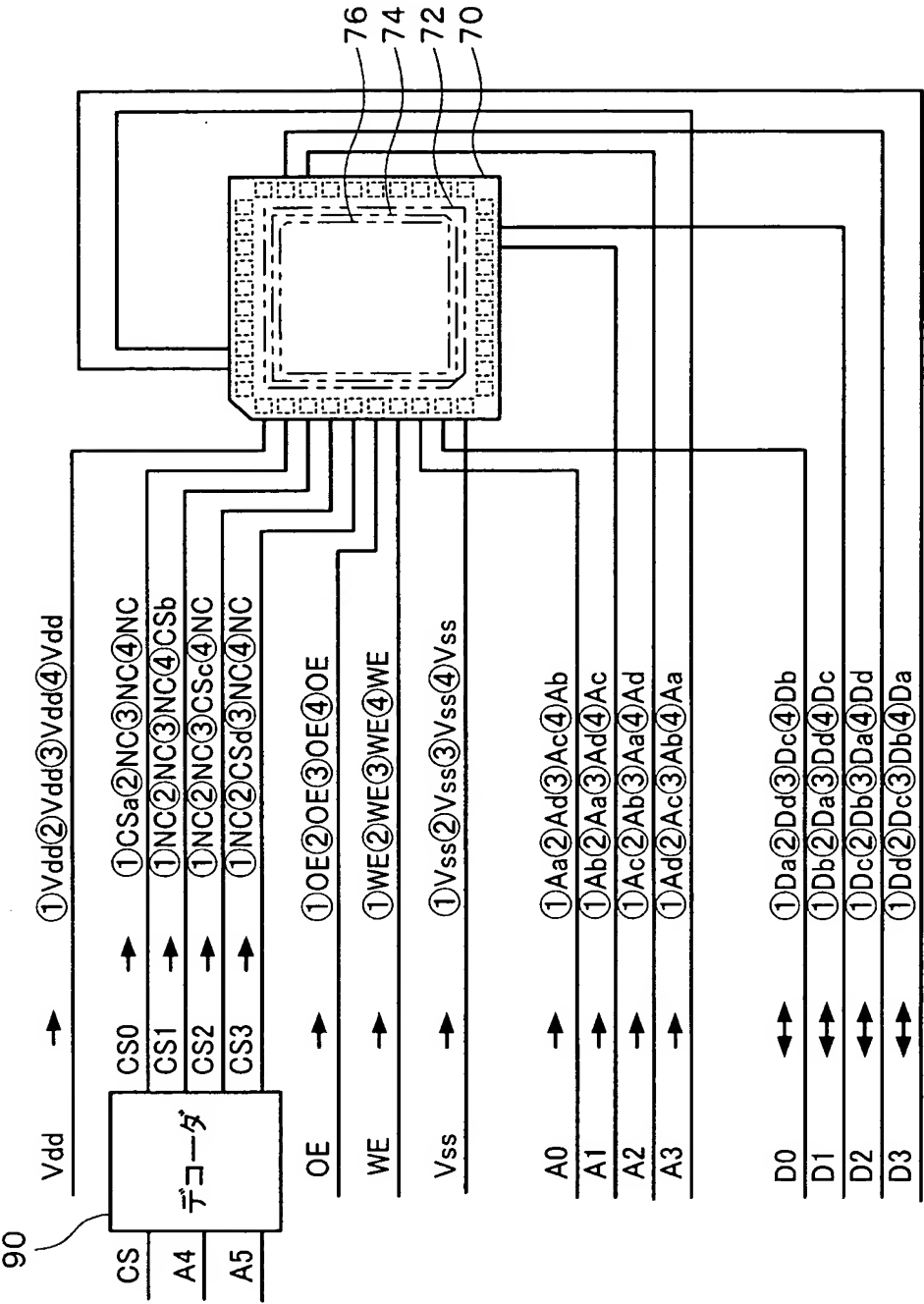
【図 5】



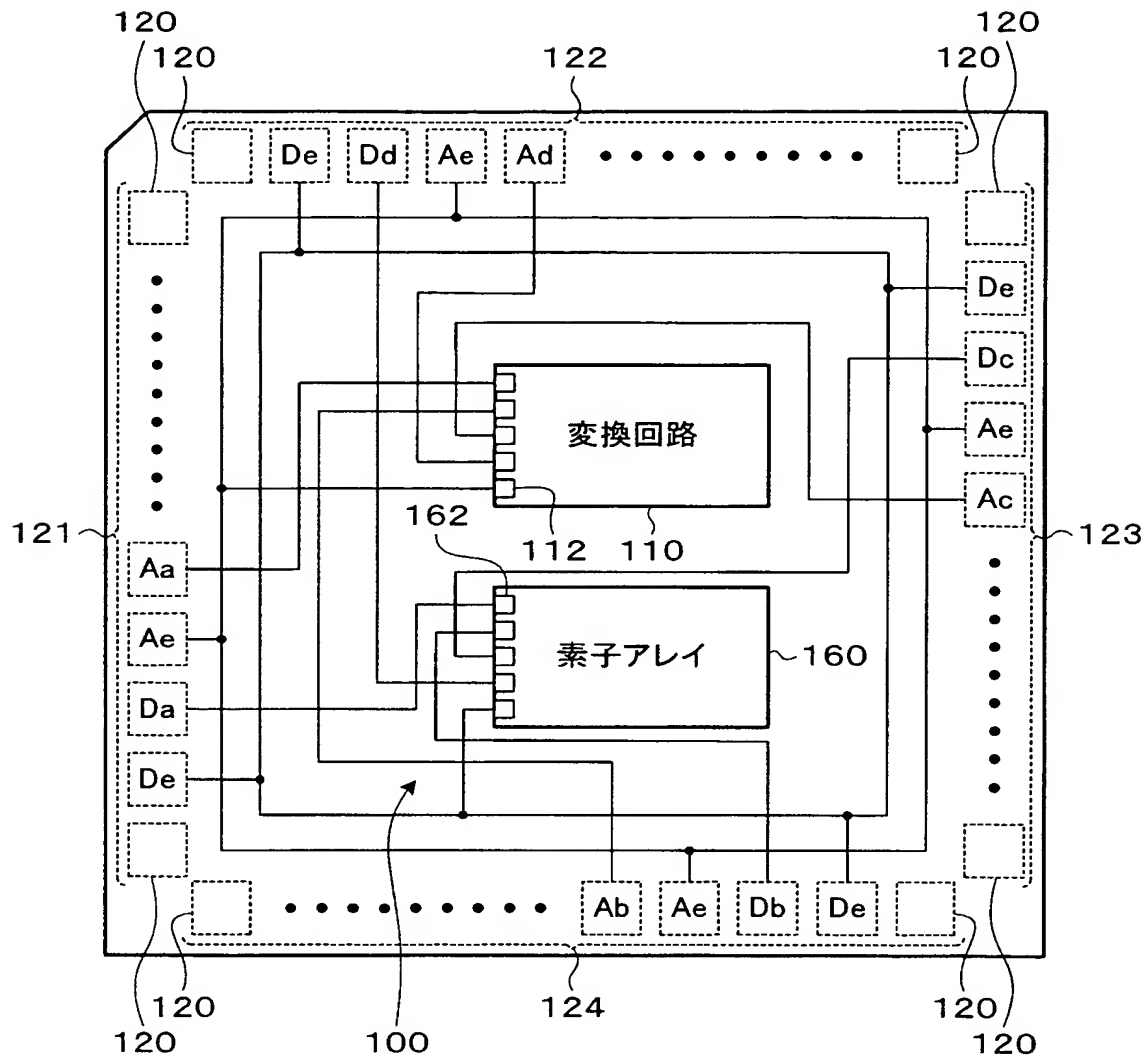
【図 6】



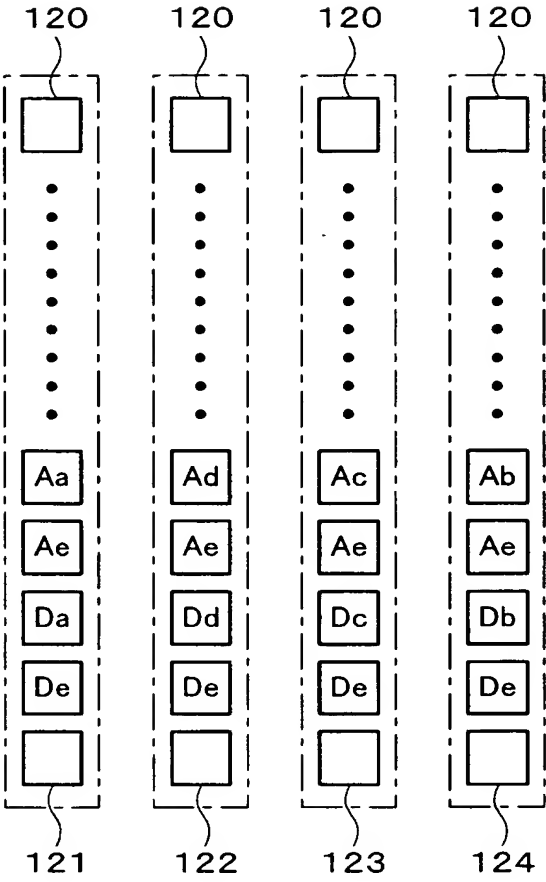
【図 7】



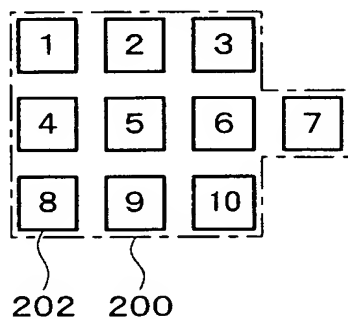
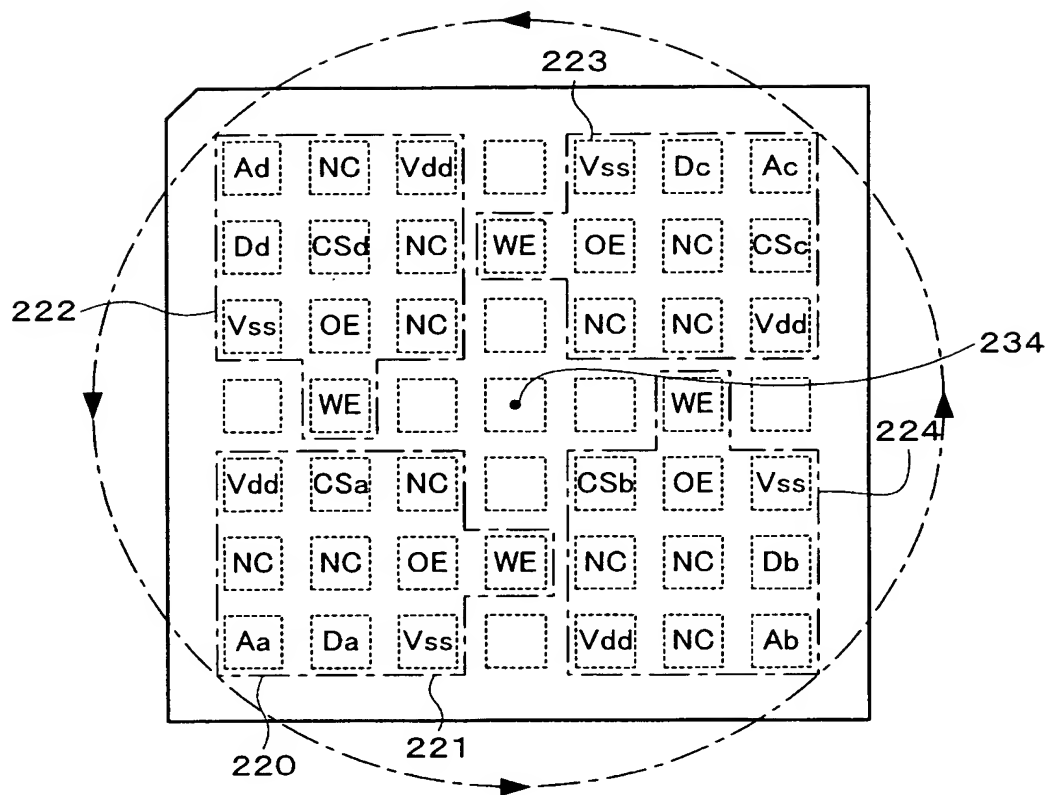
【図 8】



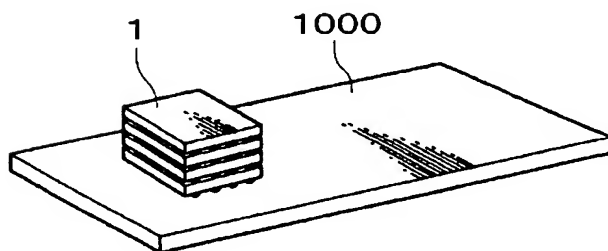
【図 9】



【図 10】

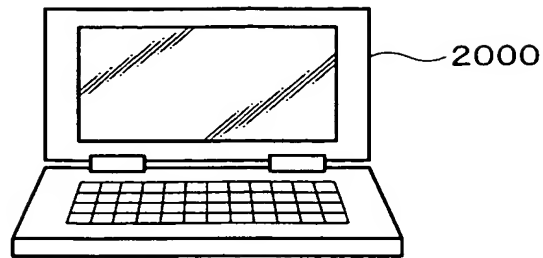


【図 11】

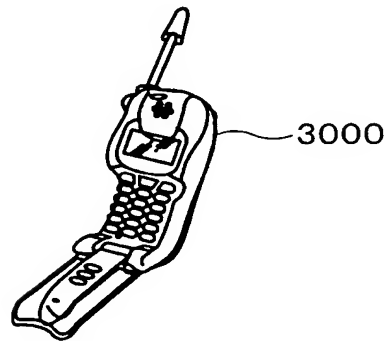




【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、同一の半導体チップをスタックできるようにすることにある。

【解決手段】 半導体チップは、半導体基板 1 0 と、それぞれのグループ 2 1 ~ 2 4 に複数の端子 2 0 が含まれる、A (A は 2 以上の整数) 個のグループの端子 2 0 と、集積回路 1 2 と、を有する。それぞれのグループ 2 1 ~ 2 4 の複数の端子 2 0 は、予め決められた基本端子配列に従って並んでいる。A 個のグループ 2 1 ~ 2 4 は、それぞれ、1 点を中心に回転移動した位置に配置されている。それぞれのグループ 2 1 ~ 2 4 は、基本端子配列の同一位置に、同一機能を実現するための同一機能端子 Vdd (あるいは Vss, OE, WE) を含む。

【選択図】 図 1

特願 2 0 0 3 - 0 8 8 2 2 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社